

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-083944

(43)Date of publication of application : 30.03.2001

(51)Int.Cl.

G09G 3/36

G09G 3/20

(21)Application number : 11-256693

(71)Applicant : NEC IC MICROCOMPUT SYST LTD

(22)Date of filing : 10.09.1999

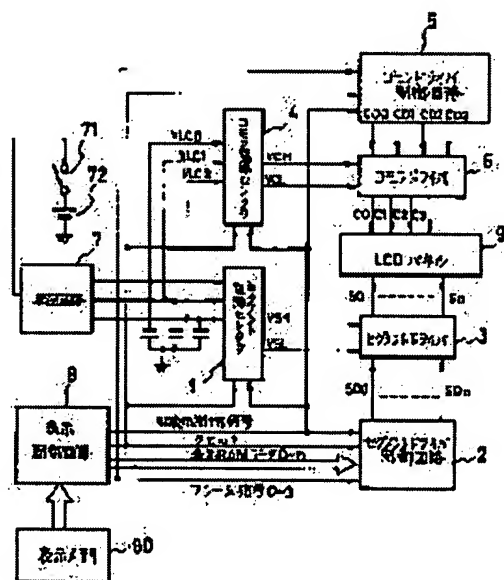
(72)Inventor : MATSUKUMA HIROSHI

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a liquid crystal display device capable of reducing a power consumption in the non-display state, and capable of shortening a transition time of state transition from the display state to the non-display state.

SOLUTION: This liquid crystal display device has a liquid crystal display panel 9, common and segment drivers 6, 3 for driving each pixel thereof, common and segment driver control circuits 5, 2 for controlling the drivers 6, 3 based on a display timing, a booster circuit 7 for outputting a power source of plural potentials including a grounding potential, a common power source selector 4 connected to the middle between the circuit 7 and the common driver 6, for selecting and supplying thereto two power sources on the high potential side and the low potential side, a segment power source selector 1 connected to the middle between the circuit 7 and the segment drivers 3, for selecting and supplying thereto two power sources on the high potential side and the low potential side, and a means for inputting a non-display control signal into the common power source selector 4, the common driver control circuits 5, the segment power source selector 1 and the segment driver control circuits 2 at the non-display time of the pixels, and for outputting the grounding potential from the common and segment drivers 6, 3.



LEGAL STATUS

[Date of request for examination] 18.08.2000

[Date of sending the examiner's decision of rejection] 10.09.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(43)公開日 平成13年3月30日(2001.3.30)

(51)Int.Cl. ⁷	識別記号	F I	データベース ^(参考)
G 0 9 G 3/36		G 0 9 G 3/38	5 C 0 0 6
3/20	6 1 1	3/20	6 1 1 A 5 C 0 8 0

審査請求 有 請求項の数 6 O.L (全 12 頁)

(21)出願番号	特願平11-256693	(71)出願人	000232036 日本電気アイシーマイコンシステム株式会社 神奈川県川崎市中原区小杉町1丁目403番53
(22)出願日	平成11年9月10日(1999.9.10)	(72)発明者	松隈 弘志 神奈川県川崎市中原区小杉町1丁目403番53 日本電気アイシーマイコンシステム株式会社内
		(74)代理人	100090158 弁理士 藤巻 正憲

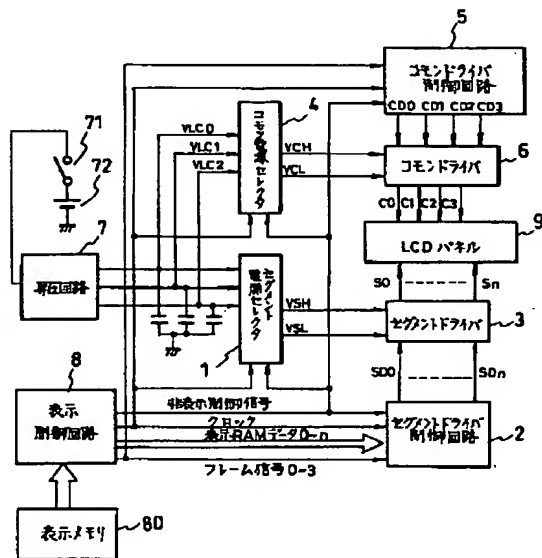
最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57)【要約】

【課題】 非表示状態における消費電力を低減すると共に、表示状態から非表示状態への状態遷移の遷移時間を短縮することができる液晶表示装置を提供する。

【解決手段】 液晶表示パネル9、この各画素を駆動するコモン及びセグメントドライバ6、3、これらを表示タイミングに基づいて制御するコモン及びセグメントドライバ制御回路5、2、接地電位を含む複数の電位の電源を出力する昇圧回路7、これとコモンドライバ8との間に接続されこれに高電位側及び低電位側の2電源を選択して供給するコモン電源セレクト4、これとセグメントドライバ3との間に接続されこれに高電位側及び低電位側の2電源を選択して供給するセグメント電源セレクト1、画素の非表示時にコモン電源セレクト4、コモンドライバ制御回路5、セグメント電源セレクト1及びセグメントドライバ制御回路2に非表示制御信号を入力し、コモン及びセグメントドライバ6、3から接地電位を出力させる手段を有する。



8 ; 表示制御回路
10 ; 電源切り替えタイミング制御回路
72 ; コンデンサ
9 ; LCDパネル
71 ; スイッチ
80 ; 表示メモリ

【特許請求の範囲】

【請求項1】 液晶表示パネルと、この液晶表示パネルの各画素を駆動するコモンドライバ及びセグメントドライバと、前記コモンドライバ及びセグメントドライバを表示タイミングに基づいて制御する夫々コモンドライバ制御回路及びセグメントドライバ制御回路と、接地電位を含む複数の電位の電源を出力する昇圧回路と、この昇圧回路と前記コモンドライバとの間に接続されて前記コモンドライバに高電位側及び低電位側の2電源を選択して供給するコモン電源セクタと、前記昇圧回路と前記セグメントドライバとの間に接続されて前記セグメントドライバに高電位側及び低電位側の2電源を選択して供給するセグメント電源セクタと、画素の非表示時に、前記コモン電源セクタ、前記コモンドライバ制御回路、前記セグメント電源セクタ及び前記セグメントドライバ制御回路に非表示制御信号を入力し、前記コモンドライバ及び前記セグメントドライバから接地電位を出力させる手段と、を有することを特徴とする液晶表示装置。

【請求項2】 前記コモンドライバ及び前記セグメントドライバは、夫々、前記高電位側電源の入力端子と、低電位側電源の入力端子との間に直列接続された一導電型MOSトランジスタと他導電型MOSトランジスタとを有し、これらのトランジスタのゲートに、夫々前記コモンドライバ制御回路及びセグメントドライバ制御回路の出力が入力されるものであり、前記コモン電源セクタ及び前記セグメント電源セクタは前記非表示制御信号が入力されると前記低電位側電源として接地電位を出力し、前記コモンドライバ制御回路及び前記セグメントドライバ制御回路は前記非表示制御信号が入力されると前記トランジスタのうち低電位側電源が入力される側のトランジスタをオンさせることを特徴とする請求項1に記載の液晶表示装置。

【請求項3】 前記コモンドライバ制御回路及びセグメントドライバ制御回路は、フレーム信号が入力される表示タイミング制御回路と、この表示タイミング制御回路の出力と前記非表示制御信号が入力される論理回路とを有し、前記非表示制御信号がオンになったときに、前記論理回路から前記トランジスタのうち低電位側電源が入力される側のトランジスタをオンさせる信号が出力されることを特徴とする請求項2に記載の液晶表示装置。

【請求項4】 前記非表示制御信号はオンのときにハイとなる信号であり、前記論理回路は論理和をとるものであることを特徴とする請求項3に記載の液晶表示装置。

【請求項5】 前記セグメントドライバ制御回路の前記表示タイミング制御回路には前記液晶表示パネルに表示させる表示メモリデータが入力されることを特徴とする請求項3又は4に記載の液晶表示装置。

【請求項6】 前記一導電型はn型であり、前記他導電型はp型であることを特徴とする請求項2乃至5のい

れか1項に記載の液晶表示方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、消費電力を小さくすることが可能な液晶表示装置に関する。

【0002】

【従来の技術】低消費電流のマイクロコンピュータを開発する上での重要な点は、動作の必要がない回路は極力、その動作を停止させるか、又は動作周波数を下げることである。

【0003】図8は従来の液晶表示装置のセグメントドライバ回路を示すブロック図であり、図9は従来の液晶表示装置のコモンドライバ回路を示すブロック図であり、図10は縦軸に電位、横軸に時間をとり、(a)は従来の非表示時のセグメント波形を示し、(b)は従来の非表示時のコモン波形を示す模式図である。

【0004】図8に示すように、従来の液晶表示装置に使用されているセグメントドライバ回路は、セグメント電源セクタ100とセグメントドライバ制御回路110とセグメントドライバ120とから構成されている。セグメント電源セクタ100は電源切り替えタイミング制御回路101を有し、この電源切り替えタイミング制御回路101にはスイッチa102、スイッチb103、スイッチc104及びスイッチd105が接続されている。スイッチa102には接地電位GNDが接続され、スイッチb103には電源VLC2、スイッチc104には電源VLC1、スイッチd105には電源VLC0が夫々入力されている。電源切り替えタイミング制御回路101にはクロックが入力されており、電源切り替えタイミング制御回路101はスイッチc104及びスイッチd105を切り替えて、高電位側電源VSHとしてVLC0又はVLC1を選択して出力し、また、スイッチa102及びスイッチb103を切り替えて、低電位側電源VSLとしてVLC2又はGNDを選択して出力する。

【0005】また、セグメントドライバ制御回路110はフレーム信号0～3及び表示メモリデータ0が入力される表示タイミング制御回路111を有しており、表示タイミング制御回路111はセグメントドライバゲート信号SD0を出力する。

【0006】セグメントドライバ120はCMOSタイプでpチャンネル出力バッファ121とnチャンネル出力バッファ122とを有する。pチャンネル出力バッファ121には高電位側電源VSHが入力され、nチャンネル出力バッファ122には低電位側電源VSLが入力されており、このpチャンネル出力バッファ121とnチャンネル出力バッファ122との接続点がセグメント端子123に接続されている。表示タイミング制御回路111の出力SD0はpチャンネル出力バッファ121及びnチャンネル出力バッファ122のゲートに入力さ

れており、セグメントドライバゲート信号SD0がハイになると、nチャンネル出力バッファ122がオンしてセグメント端子123にVSLが出力され、セグメントドライバゲート信号SD0がロウになると、pチャンネル出力バッファ121がオンしてセグメント端子123にVSHが出力される。

【0007】また、図9に示すように、従来の液晶表示装置に使用されているコモンドライバ回路は、コモン電源セクタ130とコモンドライバ制御回路140とコモンドライバ150から構成されている。コモン電源セクタ130は電源切り替えタイミング制御回路131を有し、この電源切り替えタイミング制御回路131にはスイッチa132、スイッチb133、スイッチc134及びスイッチd135が接続されている。スイッチa132には接地電位GNDが接続され、スイッチb133には電源VLC2、スイッチc134には電源VLC1、スイッチd135には電源VLC0が夫々入力されている。電源切り替えタイミング制御回路131にはクロックが入力されており、電源切り替えタイミング制御回路131はスイッチc134及びスイッチd135を切り替えて、高電位側電源VCHとしてVLC0又はVLC1を選択して出力し、また、スイッチa132及びスイッチb133を切り替えて、低電位側電源VCLとしてVLC2又はGNDを選択して出力する。

【0008】また、コモンドライバ制御回路140はフレーム信号0〜3が入力される表示タイミング制御回路141を有しており、表示タイミング制御回路141はコモンドライバゲート信号CD0を出力する。

【0009】コモンドライバ150はCMOSタイプでpチャンネル出力バッファ151とnチャンネル出力バッファ152とを有する。pチャンネル出力バッファ151には高電位側電源VCHが入力され、nチャンネル出力バッファ152には低電位側電源VCLが入力されており、このpチャンネル出力バッファ151とnチャンネル出力バッファ152との接続点がコモン端子153に接続されている。表示タイミング制御回路141の出力CD0はpチャンネル出力バッファ151及びnチャンネル出力バッファ152のゲートに入力されており、コモンドライバゲート信号CD0がハイになると、nチャンネル出力バッファ152がオンしてコモン端子153にVCLが出力され、コモンドライバゲート信号CD0がロウになると、pチャンネル出力バッファ151がオンしてコモン端子153にVCHが出力される。

【0010】上述の如く構成された従来の液晶表示装置においては、セグメントドライバ回路の電源切り替えタイミング制御回路101はクロックにより動作し、一例として、図10(a)に示すように、VSHとしてVLC1を選択して出力し、VSLとしてVLC2を選択して出力する。そして、非表示状態においては、セグメントドライバ制御回路110の表示タイミング制御回路1

11にはクロックだけが入力され、表示タイミング制御回路111はセグメントドライバゲート信号SD0としてクロックに同期してハイ及びロウに切り替わる信号をセグメントドライバ120に出力する。これにより、セグメント端子123には、図10(a)に示すように、矩形波状のセグメント波形S0が出力される。

【0011】また、コモンドライバ回路の電源切り替えタイミング制御回路131はクロックにより動作し、一例として、図10(b)に示すように、VCHとしてVLC1を選択して出力し、VCLとしてVLC2を選択して出力する。そして、非表示状態においては、コモンドライバ制御回路140の表示タイミング制御回路141にはクロックだけが入力され、表示タイミング制御回路141はコモンドライバゲート信号CD0としてクロックに同期してハイ及びロウに切り替わる信号をコモンドライバ150に出力する。これにより、コモン端子153には、図10(b)に示すように矩形波状のコモン波形C0が出力される。

【0012】しかしながら、セグメントドライバ120はCMOSタイプであるので、セグメント端子123に出力される信号S0が図10(a)に示すように矩形波状に切り替わる出力状態遷移により、pチャンネル出力バッファ121及びnチャンネル出力バッファ122において貫通電流が発生する。

【0013】また、同様に、コモンドライバ150もCMOSタイプであるので、コモン端子153に出力される信号C0が図10(b)に示すように矩形波状に切り替わる出力状態遷移により、pチャンネル出力バッファ151及びnチャンネル出力バッファ152に貫通電流が発生する。このため、電流の損失が生じ、消費電力が多くなる。

【0014】更に、従来の液晶表示装置（以下、LCD表示装置という）は、図10(a)、(b)に示すように、非表示時にセグメント端子123及びコモン端子153から中間電位の矩形波が出力されており、無駄な電流が消費されているという問題点がある。

【0015】一方、従来のLCD表示装置において、LCD表示用昇圧電源で表示を行っているタイプの電源制御回路では、昇圧電源を負荷に接続するか、又は開放するかを選択でき、電源投入直後及び初期化直後の時点からの昇圧時間を短縮するため、昇圧回路と負荷を切り離す方式をとっている。負荷とは主としてセグメント端子容量及びLCDパネル容量をいい、表示状態から非表示状態への移行を電源制御回路のみで行う場合、電源制御回路においては負荷への電源供給選択を開放とし、非表示状態への移行を行う。昇圧回路を負荷から切り離した場合、負荷は電源供給されなくなり、負荷自身の容量により、電源から切り離される直前の電位を保持する。このため、消灯する場合には、負荷であるセグメント端子又はコモン端子に充電された電荷が自然放電するまでの

時間が必要で、LCDパネルの消灯までにかなりの時間を要する。

【0016】上述の問題点の一部を解決すべく、消費電力を低減したLCD表示装置が提案されている(特開平2-210492号公報、特開平2-221998号公報)。

【0017】特開平2-210492号公報には、液晶表示素子の駆動回路の電源に複数個の双方向転送ゲートを有すると共に、液晶表示素子のクロック信号を停止する機能を有したLCD表示装置が開示されている。

【0018】このLCD表示装置は、双方向転送ゲートをスタンバイ制御信号で非導通にすることにより、LCD表示装置素子駆動用の全出力端子の出力を高インピーダンス状態とし、液晶表示素子特性を劣化させることなく、駆動クロック信号を停止させることができるものである。

【0019】特開平2-221998号公報には、液晶表示素子を直接駆動する出力バッファ回路の電源電圧の供給源に、2個の双方向の転送ゲート回路を接続し、この転送ゲート回路の制御信号で液晶駆動用電源と他の電源とを切り替えることができる構成のLCD表示装置が開示されている。このLCD表示装置は液晶表示素子を直接駆動する共通電極駆動信号及びセグメント電極信号は動作状態に合せて特定の電圧を出力することができるものである。

【0020】

【発明が解決しようとする課題】しかし、特開平2-210492号公報では、全ての出力端子が高インピーダンス状態であるため、LCD表示装置が非表示の場合、LCD表示装置にちらつきが発生するという問題点がある。

【0021】また、特開平2-221998号公報では、このLCD表示装置をダイナミック方式で利用した場合、転送ゲート回路の出力にGND又はGNDよりも高い電位を選択すると、出力バッファ回路のpチャンネルにおいて、逆バイアスが発生し電流が増加するため、VDDレベルを各LCD端子の出力をnチャンネルのバッファソース電位として選択することができないという問題点がある。このため、消費電力を小さくすることができない。

【0022】本発明はかかる問題点に鑑みてなされたものであって、非表示状態における消費電力を低減すると共に、表示状態から非表示状態への状態遷移の遷移時間を短縮することができる液晶表示装置を提供することを目的とする。

【0023】

【課題を解決するための手段】本発明に係る液晶表示装置は、液晶表示パネルと、この液晶表示パネルの各画素を駆動するコモンドライバ及びセグメントドライバと、前記コモンドライバ及びセグメントドライバを表示タイ

ミングに基づいて制御する夫々コモンドライバ制御回路及びセグメントドライバ制御回路と、接地電位を含む複数の電位の電源を出力する昇圧回路と、この昇圧回路と前記コモンドライバとの間に接続されて前記コモンドライバに高電位側及び低電位側の2電源を選択して供給するコモン電源セレクタと、前記昇圧回路と前記セグメントドライバとの間に接続されて前記セグメントドライバに高電位側及び低電位側の2電源を選択して供給するセグメント電源セレクタと、画素の非表示時に、前記コモン電源セレクタ、前記コモンドライバ制御回路、前記セグメント電源セレクタ及び前記セグメントドライバ制御回路に非表示制御信号を入力し、前記コモンドライバ及び前記セグメントドライバから接地電位を出力させる手段と、を有することを特徴とする。

【0024】本発明においては、非表示制御信号が入力されると、液晶表示パネルの各画素を駆動するコモンドライバ及びセグメントドライバから接地電位を出力させるため、非表示時に、各画素への出力が中間電位の矩形波ではなく、接地電位となるので、液晶表示パネルが非表示状態である場合に、消費電流を低減することができる。

【0025】また、液晶パネルの各画素に接地電位を印加することができるので、液晶表示パネルが表示状態から非表示状態に移行する場合、本発明においては、接地電位により容量に蓄積された電荷を放出することができるので、電荷を速やかに放電することができる。このため、表示状態から非表示状態への状態遷移の遷移時間を短縮することができるので、消灯時間を短縮することができる。

【0026】この場合、前記コモンドライバ及び前記セグメントドライバは、夫々、前記高電位側電源の入力端子と、低電位側電源の入力端子との間に直列接続された一導電型MOSトランジスタと他導電型MOSトランジスタとを有し、これらのトランジスタのゲートに、夫々前記コモンドライバ制御回路及びセグメントドライバ制御回路の出力が入力されるものであり、前記コモン電源セレクタ及び前記セグメント電源セレクタは前記非表示制御信号が入力されると前記低電位側電源として接地電位を出力し、前記コモンドライバ制御回路及び前記セグメントドライバ制御回路は前記非表示制御信号が入力されると前記トランジスタのうち低電位側電源が入力される側のトランジスタをオンさせるように構成することができる。

【0027】これにより、コモン電源セレクタ及びセグメント電源セレクタは非表示制御信号が入力されると低電位側電源として接地電位を出力し、コモンドライバ制御回路及びセグメントドライバ制御回路は非表示制御信号が入力されるとトランジスタのうち低電位側電源が入力される側のトランジスタをオンさせるため、直列接続された一導電型MOSトランジスタ及び他導電型MOS

トランジスタに流れる貫通電流がなくなり、消費電流を低減することができる。

【0028】また、前記コモンドライバ制御回路及びセグメントドライバ制御回路は、フレーム信号が入力される表示タイミング制御回路と、この表示タイミング制御回路の出力と前記非表示制御信号が入力される論理回路とを有し、前記非表示制御信号がオンになったときに、前記論理回路から前記トランジスタのうち低電位側電源が入力される側のトランジスタをオンさせる信号が出力されることが好ましい。

【0029】これにより、論理回路からトランジスタのうち低電位側電源が入力される側のトランジスタをオンさせる信号が出力されるので、このトランジスタから低電位側電源として接地電位を液晶表示パネルの各画素に出力することができる。

【0030】

【発明の実施の形態】以下、本発明の実施例に係る液晶表示装置について添付の図面を参照して詳細に説明する。

【0031】図1は本発明の実施例に係る液晶表示装置を示すブロック図であり、図2は本発明の実施例に係る液晶表示装置のセグメントドライバ回路を示すブロック図であり、図3は本発明の実施例に係る液晶表示装置のコモンドライバ回路を示すブロック図である。なお、図1に示すセグメントドライバ3及びセグメントドライバ制御回路2は図2に示すセグメントドライバ3及びセグメントドライバ制御回路2をn個分まとめて表現したものである。また、図1に示すコモンドライバ6及びコモンドライバ制御回路5は図3に示すコモンドライバ6及びコモンドライバ制御回路5を4個分まとめて表現したものである。

【0032】本実施例の液晶表示装置においては、図1に示すように、電源72にスイッチ71を介して接続された昇圧回路7は、電源72の電圧を昇圧して、VLC0、VLC1、VLC2の3種の電源電圧を出力する。これらの電源電圧VLC0～VLC2は、セグメント電源セクタ1及びコモン電源セクタ4に入力される。セグメント電源セクタ1はこれらの電源電圧と接地電位から選択してセグメントドライバ3に高電位側電源VSH及び低電位側電源VSLを出力し、コモン電源セクタ4は同様にこれらの電源電圧と接地電位から選択してコモンドライバ6に高電位側電源VCH及び低電位側電源VCLを出力する。セグメントドライバ3及びコモンドライバ6はその出力信号S0～Sn及びC0～C3を液晶(LCD)パネル9に出力し、LCDパネル9の複数の画素を駆動してデータを表示させる。

【0033】表示制御回路8はクロックをセグメント電源セクタ1及びコモン電源セクタ4に出力すると共に、セグメントドライバ制御回路2及びコモンドライバ制御回路5に出力する。表示メモリ80にはLCDパネ

ル9に表示させる表示パターンのデータ(表示RAMデータ)が格納されている。なお、表示メモリデータ(表示RAMデータ)0～nは表示メモリ80のアドレスを示す。この表示メモリ80のデータは、表示制御回路8を介してセグメントドライバ制御回路2に与えられる。更に、表示制御回路8はフレーム信号をセグメントドライバ制御回路2とコモンドライバ制御回路5に出力する。そして、本実施例においては、表示制御回路8が液晶の各画素の非表示時に、非表示制御信号を出力し、この非表示制御信号は、セグメントドライバ制御回路2、セグメント電源セクタ1、コモンドライバ制御回路5及びコモン電源セクタ4に入力される。

【0034】図2に示すように、セグメント電源セクタ1は電源切り替えタイミング制御回路10を有し、この電源切り替えタイミング制御回路10にはトランジスタにより構成されたスイッチa11、スイッチb12、スイッチc13及びスイッチd14が接続されている。スイッチa11には接地電位GND、スイッチb12には電源VLC2、スイッチc13には電源VLC1、スイッチd14には電源VLC0が夫々入力されている。電源切り替えタイミング制御回路10にはクロックが入力されており、電源切り替えタイミング制御回路10はスイッチc13及びスイッチd14を切り替えて、高電位側電源VSHとしてVLC0又はVLC1を選択して出力し、また、スイッチa11及びスイッチb12を切り替えて、低電位側電源VSLとしてVLC2又はGNDを選択して出力する。

【0035】セグメントドライバ制御回路2はフレーム信号0～3及び表示メモリデータ0が入力される表示タイミング制御回路20と、表示タイミング制御回路20の出力及び非表示制御信号が入力されるOR回路(論理和回路)21とを有しており、OR回路21は表示タイミング制御回路20の出力と非表示制御信号との論理和を取り、これをセグメントドライバゲート信号SD0としてセグメントドライバ3に出力する。なお、セグメントドライバゲート信号SD1～SDnについても同様である。

【0036】セグメントドライバ3はCMOSタイプでpチャンネル出力バッファ30及びnチャンネル出力バッファ31を有する。pチャンネル出力バッファ30には高電位側電源VSHが入力され、nチャンネル出力バッファ31には低電位側電源VSLが入力されており、このpチャンネル出力バッファ30とnチャンネル出力バッファ31との接続点がセグメント端子32に接続されている。pチャンネル出力バッファ30及びnチャンネル出力バッファ31の各トランジスタのゲート電極にはOR回路21から出力されたセグメントドライバゲート信号SD0が入力されており、セグメントドライバゲート信号SD0がハイになると、nチャンネル出力バッファ31がオンして、セグメント端子32にVSLが出

力される。一方、セグメントドライバゲート信号SD0がロウになると、pチャンネル出力バッファ30がオンして、セグメント端子32にVSHが出力される。セグメントドライバゲート信号SD1～SDnについても同様である。このセグメントドライバ3の出力がLCDパネル9の各画素に与えられる。

【0037】図3に示すように、コモン電源セクタ4は電源切り替えタイミング制御回路40を有し、この電源切り替えタイミング制御回路40にはトランジスタにより構成されたスイッチa41、スイッチb42、スイッチc43及びスイッチd44が接続されている。スイッチa41には接地電位GND、スイッチb42には電源VLC2、スイッチc43には電源VLC1、スイッチd44には電源VLC0が夫々入力されている。電源切り替えタイミング制御回路40にはクロックが入力されており、電源切り替えタイミング制御回路40はスイッチc43及びスイッチd44を切り替えて、高電位側電源VCHとしてVLC0又はVLC1を選択して出力し、また、スイッチa41及びスイッチb42を切り替えて、低電位側電源VCLとしてVLC2又はGNDを選択して出力する。

【0038】コモンドライバ制御回路5はフレーム信号0～3が入力される表示タイミング制御回路50と、表示タイミング制御回路50の出力及び非表示制御信号が入力されるOR回路51とを有しており、OR回路51は表示タイミング制御回路50の出力と非表示制御信号との論理和をとり、これをコモンドライバゲート信号CD0としてコモンドライバ6に出力する。なお、コモンドライバゲート信号CD1～CD3についても同様である。

【0039】コモンドライバ6はCMOSタイプでpチャンネル出力バッファ60とnチャンネル出力バッファ61とを有する。また、pチャンネル出力バッファ60には高電位側電源VCHが入力され、nチャンネル出力バッファ61には低電位側電源VCLが入力されており、このpチャンネル出力バッファ60とnチャンネル出力バッファ61との接続点がコモン端子62に接続されている。pチャンネル出力バッファ60及びnチャンネル出力バッファ61の各トランジスタのゲート電極にはOR回路51から出力されたコモンドライバゲート信号CD0が入力されており、コモンドライバゲート信号CD0がハイになると、nチャンネル出力バッファ61がオンして、コモン端子62にVCLが出力される。一方、コモンドライバゲート信号CD0がロウになると、pチャンネル出力バッファ60がオンして、コモン端子62にVCHが出力される。コモンドライバゲート信号CD1～CD3についても同様である。このコモンドライバ6の出力がLCDパネル9の各画素に与えられる。

【0040】次に、本実施例に係る液晶表示装置の動作について、図1乃至3に加えて、図4乃至図7を参照し

て説明する。図4は縦軸に電位、横軸に時間を取り、本実施例に係るセグメントドライバの入力波形及び出力波形を示すタイミングチャートであり、図5(a)は縦軸に電位、横軸に時間をとって、本実施例に係るセグメントドライバの出力波形を示すタイミングチャートであり、(b)は(a)の要部拡大図である。また、図6は縦軸に電位、横軸に時間を取り、本実施例に係るコモンドライバの入力波形及び出力波形を示すタイミングチャートであり、図7(a)は縦軸に電位、横軸に時間をとって、本実施例に係るコモンドライバの出力波形を示すタイミングチャートであり、(b)は(a)の要部拡大図である。

【0041】先ず、表示状態の動作について説明する。図5(a)、図7(a)の前半にみるように、非表示制御信号がオフ(ロウレベル)の場合には、通常の表示状態で表示を行う。即ち、図4に示すように、クロック及びフレーム信号0～3を表示制御回路8により発生させる。また、セグメント端子32の出力によりLCDパネル9上で所望の表示が可能となるように、図1の表示メモリデータ0に図4の表示RAMデータ0で示されるデータを設定し、この表示メモリデータ0の値を表示制御回路8を経由して、セグメントドライバ制御回路2の表示タイミング制御回路20に入力する。セグメントドライバ制御回路2の表示タイミング制御回路20は、フレーム信号0～3及び表示メモリデータ0から従来と同様にセグメントドライバゲート信号を生成する。

【0042】OR回路21には非表示制御信号としてロウが入力されており、表示タイミング制御回路20の出力と非表示制御信号との論理和をとると、表示タイミング制御回路20の出力がそのままセグメントドライバゲート信号SD0として出力される。このSD0がセグメントドライバ3のpチャンネル出力バッファ30及びnチャンネル出力バッファ31のゲート電極に入力される。

【0043】セグメント電源セクタ1の電源切り替えタイミング制御回路10は非表示制御信号及びクロックを入力し、このクロックに同期してスイッチc13及びスイッチd14を交互にオンオフし、高電位側電源VSHとしてVLC0とVLC1とを交互に出力させる。また、電源切り替えタイミング制御回路10はクロックに同期してスイッチa11及びスイッチb12を交互にオンオフし、低電位側電源VSLとしてVLC2とGNDとを交互に出力させる。そして、セグメントドライバゲート信号SD0がハイの期間にnチャンネル出力バッファ31がオンしてVSLの電位(VLC2又はGND)がセグメントドライバ出力S0としてセグメント端子32に出力され、セグメントドライバゲート信号SD0がロウの期間にpチャンネル出力バッファ30がオンしてVSHの電位(VLC0又はVLC1)がセグメントドライバ出力S0としてセグメント端子32に出力され

る。これにより、図 4 に示す S0 の波形の信号がセグメント端子 32 に出力される。セグメントドライバ出力 S1 ~ Sn も同様にしてセグメントドライバ 3 から出力される。

【0044】次に、コモンドライバ 6 における表示状態の動作について説明する。図 6 に示すように、クロック及びフレーム信号 0 ~ 3 が表示タイミング制御回路 50 に入力されると、表示タイミング制御回路 50 はコモンドライバゲート信号 CD0 ~ CD3 を生成する。表示時には非表示制御信号がロウであるので、コモンドライバ制御回路 5 から表示タイミング制御回路 50 の出力がそのままコモンドライバゲート信号 CD0 ~ CD3 として出力される。電源切り替えタイミング制御回路 40 はクロックに同期してスイッチ d44 及びスイッチ c43 を切り替えて高電位側電源 VCH として VLC0 と VLC1 とを交互に出力し、低電位側電源 VCL として、VLC2 と GND とを交互に出力する。そして、コモンドライバ 6 においては、コモンドライバゲート信号 CD0 がハイの場合に n チャンネル出力バッファ 61 がオンして VCL が選択され、そのときの VCL の電位がコモンドライバ出力 C0 としてコモン端子 62 に出力される。一方、コモンドライバゲート信号 CD0 がロウの場合は p チャンネル出力バッファ 60 がオンして VCH が選択され、そのときの VCH の電位がコモンドライバ出力 C0 としてコモン端子 62 に出力される。これにより、図 6 に C0 で示す波形の信号がコモン端子 62 に出力される。コモンドライバ出力 C1 ~ C3 も同様にコモンドライバ 6 から出力される。

【0045】次に、セグメントドライバ 3 の非表示時の動作について図 5 (a) 及び (b) を参照して説明する。液晶の非表示時には、表示制御回路 8 が非表示制御信号をオン (ハイレベル) にする。

【0046】図 5 (a) に示すように、非表示制御信号がオン (ハイレベル) の場合には、表示タイミング制御回路 20 からどのような信号が出力されていても、OR 回路 21 からはハイの信号が出力され、n チャンネル出力バッファ 31 がオンになる。また、電源切り替えタイミング制御回路 10 は、非表示制御信号がハイレベルの場合には、スイッチ a11 及びスイッチ c13 をオンするので、セグメント電源セクタ 1 の出力として、VSH は VLC1 に固定され、VSL は GND に固定される。そして、セグメントドライバ 3 にはハイのセグメントドライバゲート信号 SD0 が入力されて n チャンネル出力バッファ 31 がオンになっているので、VSL が選択されて、セグメント端子 32 には GND レベルが出力される。

【0047】次に、コモンドライバ 6 の非表示時の動作について、図 7 (a) 及び (b) を参照して説明する。

【0048】非表示制御信号がハイレベルの場合には、図 7 (a) に示すように、OR 回路 51 から表示タイミ

ング制御回路 50 の出力の如何に拘らず、コモンドライバゲート信号 CD0 としてハイが出力され、n チャンネル出力バッファ 61 がオンになる。また、電源切り替えタイミング制御回路 40 は、非表示制御信号がハイレベルの場合には、スイッチ a41 及びスイッチ c43 をオンにし、コモン電源セクタ 4 の出力として、VCH は VLC1 に固定し、VCL は GND に固定する。そして、n チャンネル出力バッファ 61 がオンになっているので、図 7 (b) に示すように、非表示制御信号がハイレベルとなると同時に、コモン端子 62 には GND レベルが出力される。

【0049】上述の如く、本実施例においては、セグメントドライバ制御回路 2 の出力段に OR 回路 21 を設け、非表示制御信号がオンのとき、セグメントドライバ制御回路 2 からセグメントドライバゲート信号 SD0 としてハイを出力して n チャンネル出力バッファ 31 を選択し、また、非表示制御信号がオンのとき、電源切り替えタイミング制御回路 10 が低電位側電源 VSL として GND を選択するようにしたので、セグメント端子 32 に GND が出力され、LCD パネル 9 に GND が出力される。

【0050】また、同様に、コモン端子 62 にも GND が出力され、LCD パネル 9 に GND が出力される。従って、非表示制御信号がオンのときには、セグメントドライバゲート信号 SD0 ~ SDn 及びコモンドライバゲート信号 CD0 ~ CD3 がハイとなり、セグメントドライバ出力 S0 ~ Sn 及びコモンドライバ出力 C0 ~ C3 は全て GND となる。即ち、非表示状態時には、セグメント端子 32 及びコモン端子 62 の出力は中間電位の矩形波ではなく、GND レベルとなる。これにより、LCD パネル 9 の各画素にセグメントドライバ 3 及びコモンドライバ 6 から GND を出力することができ、LCD パネル 9 が非表示状態である場合において、セグメントドライバ 3 及びコモンドライバ 6 における貫通電流をなくすることができる。

【0051】また、本実施例においては、セグメント電源セクタ 1 及びコモン電源セクタ 4 は、負荷に対して昇圧回路 7 から供給される電源電圧 VLC0、VLC1、VLC2 又は接地電位 GND を接続する構成となっており、LCD パネル 9 が表示状態から非表示状態に移行する場合に、非表示制御信号をオンすることにより、セグメント電源セクタ 1 及びコモン電源セクタ 4 では VSL 及び VCL に対し GND を接続し、更にセグメントドライバ制御回路 2 及びコモンドライバ制御回路 5 において、VSL 及び VCL がセグメントドライバ 3 及びコモンドライバ 6 で選択されるように、非表示制御信号により電源切り替えタイミング制御回路 10、40 が制御されているので、接地電位により、セグメント端子 32 及びコモン端子 62 に蓄積された電荷を放出することができるため、電荷を速やかに放電することができる。

る。このため、LCDパネル9を速やかに消灯させることができる。

【0052】更に、本発明においては、上述の実施例に限定されるものではなく、図3に示すセグメントドライバ制御回路2において、OR回路21を設けなくともよい。この場合、表示タイミング制御回路20でフレーム信号0〜3、クロック及び表示メモリデータ0を非表示制御信号がオンとき、非表示制御信号を選択して出力するように処理することにより、非表示制御信号がハイレベルであるとき、SD0をハイレベルにし、セグメントドライバ出力S0を、上述の如く、GND出力とすることができるので、非表示状態でセグメントドライバ3における貫通電流による消費電流を低減することができる。また、コモンドライバ制御回路5においても、セグメントドライバ制御回路2と同様にOR回路51を設けない構成とすることができる。

【0053】また、図3に示すセグメントドライバ3において、CMOSタイプであるpチャンネル出力バッファ30及びnチャンネル出力バッファ31をpチャンネルトランジスタ及びnチャンネルトランジスタを並列に抱き合わせて夫々のソース及びドレイン電極を接続したトランスファゲートに置き換えることもできる。この場合、セグメント電源セクタ1においては、非表示信号がオンのとき、VSLにGNDを出力し、セグメントドライバゲート信号SD0をハイレベルにし、セグメントドライバ出力S0を上述の如く、GND出力とすることができるので、非表示状態でセグメントドライバ3において貫通電流による消費電力を低減することができる。また、コモン電源セクタ4においても、セグメントドライバ3と同様の構成とすることができ、非表示信号がオンのとき、VCLにGNDを出力し、コモンドライバゲート信号CD0をハイレベルにし、セグメントドライバ出力C0を上述の如く、GND出力とすることができるので、非表示状態でコモンドライバ5において貫通電流による消費電流を低減することができる。

【0054】

【発明の効果】以上詳述したように本発明によれば、非表示制御信号が入力されると、液晶表示パネルの各画素を駆動するコモンドライバ及びセグメントドライバから接地電位を出力させるため、非表示時に、各画素への出力が中間電位の矩形波ではなく、接地電位となるので、液晶表示パネルが非表示状態である場合に、消費電流を低減することができる。

【0055】また、液晶パネルの各画素に接地電位を印加することができるので、液晶表示パネルが表示状態から非表示状態に移行する場合、本発明においては、接地電位により容量に蓄積された電荷を放出することができるので、電荷を速やかに放電することができる。このため、表示状態から非表示状態への状態遷移の遷移時間を短縮することができるので、消灯時間を短縮することが

できる。

【図面の簡単な説明】

【図1】本発明の実施例に係る液晶表示装置を示すブロック図である。

【図2】本発明の実施例に係る液晶表示装置のセグメントドライバ回路を示すブロック図である。

【図3】本発明の実施例に係る液晶表示装置のコモンドライバ回路を示すブロック図である。

【図4】縦軸に電位、横軸に時間を取り、本発明の実施例に係るセグメントドライバの入力波形及び出力波形を示すタイミングチャートである。

【図5】(a)は縦軸に電位、横軸に時間をとって、本発明の実施例に係るセグメントドライバの出力波形を示すタイミングチャートであり、(b)は(a)の要部拡大図である。

【図6】縦軸に電位、横軸に時間を取り、本発明の実施例に係るコモンドライバの入力波形及び出力波形を示すタイミングチャートである。

【図7】(a)は縦軸に電位、横軸に時間をとって、本発明の実施例に係るコモンドライバの出力波形を示すタイミングチャートであり、(b)は(a)の要部拡大図である。

【図8】従来の液晶表示装置のセグメントドライバ回路を示すブロック図である。

【図9】従来の液晶表示装置のコモンドライバ回路を示すブロック図である。

【図10】縦軸に電位、横軸に時間を取り、(a)は従来の非表示時のセグメント波形を示し、(b)は従来の非表示時のコモン波形を示す模式図である。

【符号の説明】

1、100；セグメント電源セクタ

2、110；セグメントドライバ制御回路

3、120；セグメントドライバ

4、130；コモン電源セクタ

5、140；コモンドライバ制御回路

6、150；コモンドライバ

7；昇圧回路

8；表示制御回路

9；LCDパネル

10、40、101、131；電源切り替えタイミング制御回路

11、41、102、132；スイッチa

12、42、103、133；スイッチb

13、43、104、134；スイッチc

14、44、105、135；スイッチd

20、50、111、141；表示タイミング制御回路

21、51；OR回路

30、60、121、151；pチャンネル出力バッファ

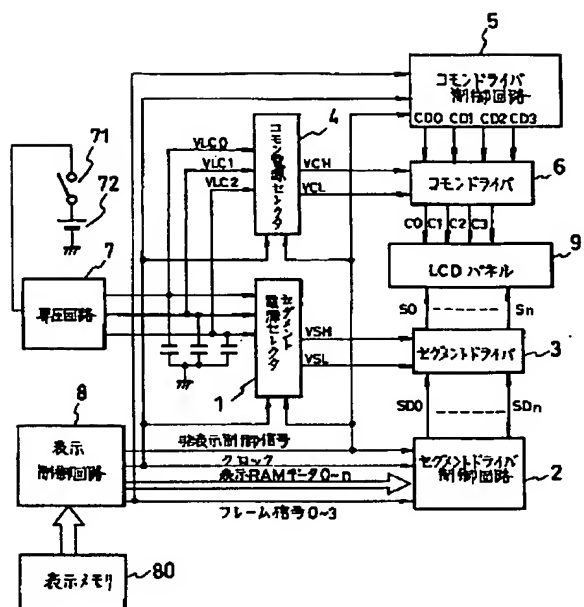
31、61、122、152；nチャンネル出力バッファ

ア

32、123;セグメント端子

62、153;コモン端子

【図1】



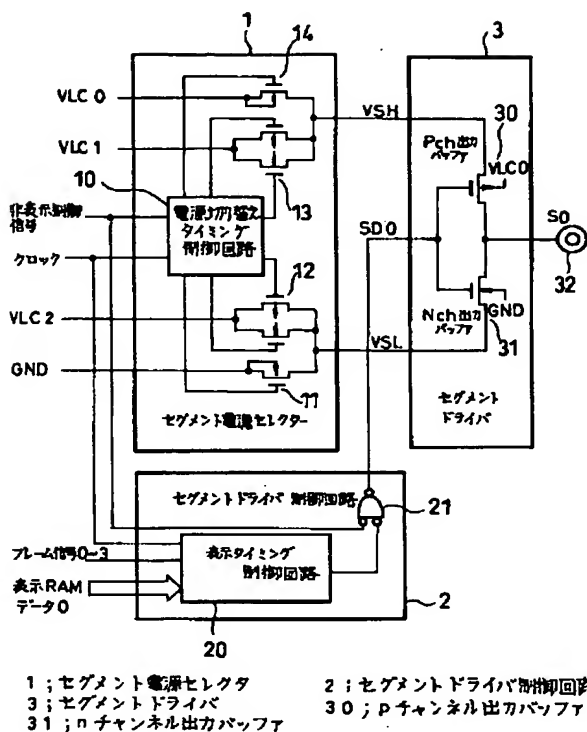
8;表示制御回路
10;電源切り替えタイミング制御回路
72;コンデンサ
9;LCDパネル
71;スイッチ
80;表示メモリ

* 71;スイッチ

72;電源

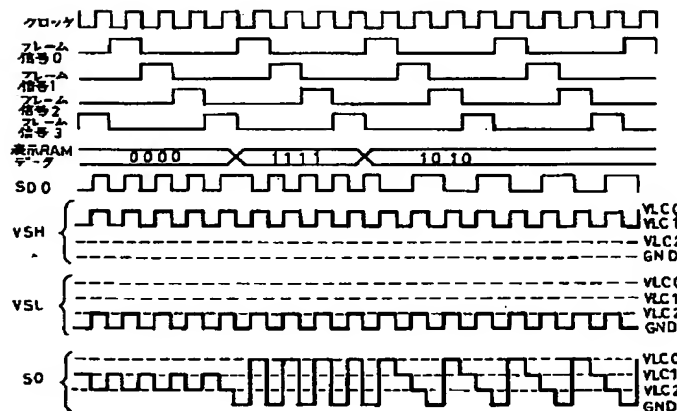
* 80;表示メモリ

【図2】

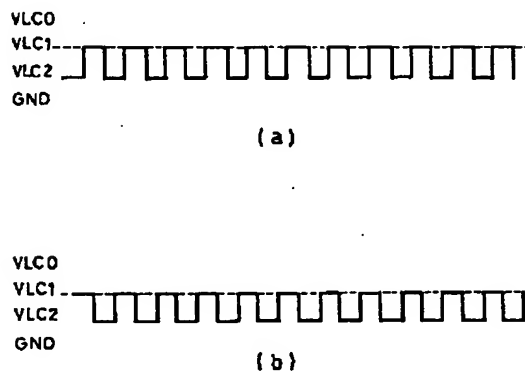


1;セグメント電源セレクタ
2;セグメントドライバ制御回路
3;セグメントドライバ
31;nチャンネル出力バッファ

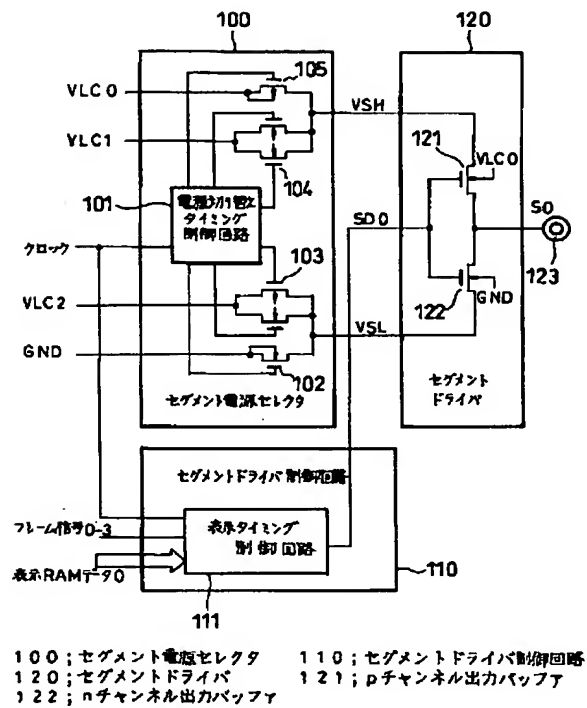
【図4】



【図10】



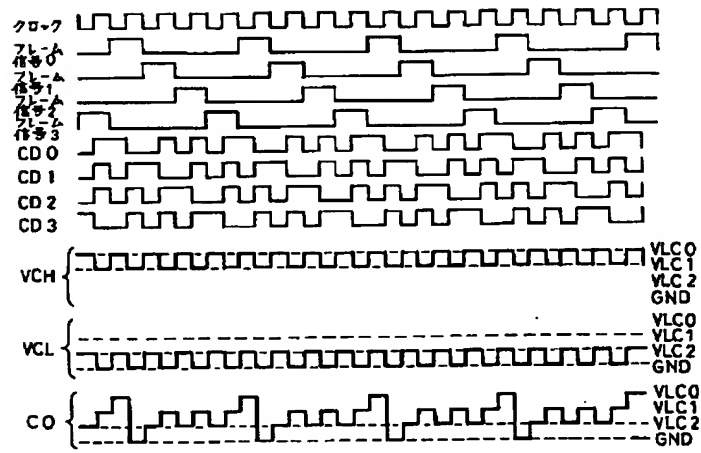
【圖 8】



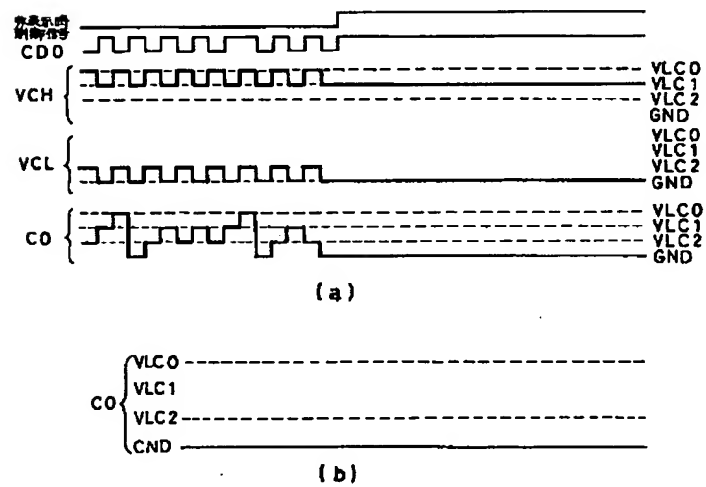
(a)

(b)

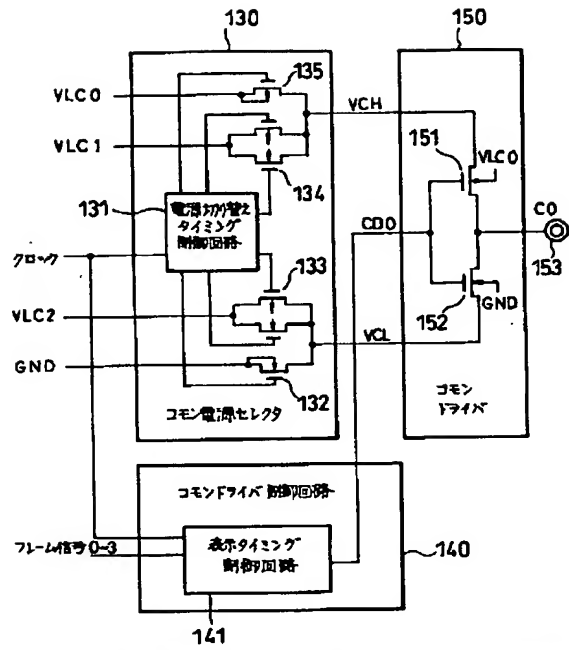
【図6】



【図7】



【図9】



- 130; コモン電源セレクト 140; コモンドライバ制御回路
141; 表示タイミング制御回路 150; コモンドライバ

フロントページの続き

Fターム(参考) 5C006 AA02 AA22 AC01 AC24 AF51
AF68 BB01 BC03 BC13 BC16
BF02 BF34 BF46 EC05 FA14
FA47 GA04
5C080 AA10 BB01 CC03 DD08 DD26
DD30 EE25 EE32 FF08 GG16
JJ03 JJ04 KK02